



UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 147268.00301

Group Art Unit: not assigned )  
Examiner: not assigned )  
Inventors: Chien-Wei Chen, et al. )  
Serial No. 09/930,856 )  
Filed: August 16, 2001 )  
For: METHOD FOR FORMING )  
AN ELECTRICAL )  
INSULATING LAYER ON )  
BIT LINES OF THE )  
FLASH MEMORY )

**CLAIM OF PRIORITY  
AND TRANSMITTAL  
OF PRIORITY  
DOCUMENT**

Box Missing Parts  
Assistant Commissioner for Patents  
Washington, D.C. 20231

RECEIVED  
SEP 26 2001  
TC 1700

**CERTIFICATE OF MAILING**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner of Patents and Trademarks, Washington, D.C. 20231 on September 20, 2001.

By \_\_\_\_\_

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim priority from Taiwan Patent Application No. 090112306 filed August 21, 2001.

If Applicants have overlooked the payment of any necessary fees, or if an overpayment has been made, the Commissioner is hereby authorized to credit or debit

U.S. Serial No. 09/795,911  
Attorney Docket No. 147268.00250  
Page 2

Deposit Account No. 50-1682 for same. A duplicate copy of this Response is enclosed  
for this purpose.

Respectfully submitted,

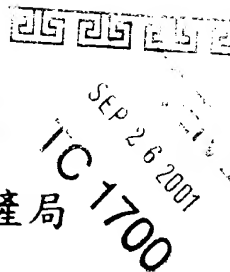
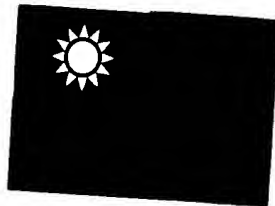


Thomas T. Moga  
Registration No. 34,881  
Attorney for Applicants

POWELL, GOLDSTEIN, FRAZER & MURPHY LLP  
P.O. Box 97223  
Washington, D.C. 20090-7223  
(202) 347-0066

Dated: September 20, 2001

TTM/cee  
Enclosures



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 05 月 22 日  
Application Date

申請案號：090112306  
Application No.

申請人：旺宏電子股份有限公司  
Applicant(s)

局長  
Director General

陳明邦

發文日期：西元 2001 年 8 月 21 日  
Issue Date

發文字號：09011012392  
Serial No.

BEST AVAILABLE COPY

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發明 新 型 專 利 說 明 書

一、發明 新 型 名 稱	中 文	快閃記憶體位元線上之電性絕緣層的製造方法
	英 文	
二、發明 創 作 人	姓 名	一、陳建維 二、賴俊仁
	國 籍	一、中華民國 二、中華民國
	住、居所	一、新竹市東區金山里金山北二街十號三樓之一 二、新竹科學工業園區新竹市力行路16號
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中 華 民 國
	住、居所 (事務所)	新竹科學工業園區新竹市力行路16號
	代 表 人 姓 名	胡 定 華

裝

訂

線

經濟部智慧財產局員工消費合作社印製

BEST AVAILABLE COPY

四、中文發明摘要(發明之名稱：)

快閃記憶體位元線上之電性絕緣層的製造方法

一種快閃記憶體位元線上之電性絕緣層的製造方法，該製造方法至少包括下列步驟：在基材上依序形成導電層、單幕層以及覆蓋層，並進行微影蝕刻，以形成多個間隔；接著在基材上形成介電層，之後在介電層上形成平坦化材質層；然後蝕刻平坦化材質層與介電層，且對平坦化材質層的蝕刻率小於對介電層的蝕刻率；隨即蝕刻介電層以清除覆蓋層上之介電層，且介電層的蝕刻率大於覆蓋層的蝕刻率，並在間隔內形成間隔介電層；接著蝕刻移除覆蓋層，且介電層的蝕刻率小於單幕層的蝕刻率，使得間隔介電層具有平滑頂端與斜角側邊；最後移除單幕層並留下間隔介電層，以形成電性絕緣層。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( )

### 5-1 發明領域：

本發明係有關於半導體製程中電性絕緣層的製造方法，特別是有關於一種快閃記憶體位元線之電性絕緣層的製造方法。

### 5-2 發明背景：

由於快閃記憶體之記憶晶胞的重要功能係為儲存電荷，用以記錄所需的資訊內容，為了使資料儲存期限更為長久，電荷的保存格外重要。一般而言，電荷會因為記憶晶胞的電性絕緣層之絕緣效果不佳，以致於儲存電荷流失。特定而言，位元線上之氧化矽層是否具有良好電性絕緣，將是電荷保存的重要關鍵。第 1 圖至第 3 圖為傳統快閃記憶體之電性絕緣層製造方法之流程剖面圖。

首先請參閱第 1 圖，在半導體基材 100 之開極區域上依序形成多晶矽層 102、氮化矽層 104 以及覆蓋層 106。然後進行微影蝕刻製程以形成多個開極堆疊 108，開極堆疊 108 之間為間隔 110 (Spacing)。接著於間隔 110 內以一般化學氣相沈積法 (CVD) 沈積氧化矽層 112，因為一般化學氣相沈積法所沈積出來之氧化矽層 112 會隨著其下方結構之表面高低而跟著起伏，所以在開極堆疊 108 間之間隔 110 處會有凹陷 114a 的現象發生。

請參閱第 2 圖，對具有凹陷 114a 表面之氧化矽進行回蝕或化學機械研磨 (CMP) 製程，並以氮化矽層 104 為停止層，以留下氧化矽於間隔 110 中，形成間隔氧化矽層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

116，如前所述，由於氧化矽層 112 隨著其下之結構表面高低而起伏，即所謂之共形(Conformity)的特性，所以在回蝕製程之後，間隔氧化矽層 116 的表面仍會保留有凹陷 114b 的現象。若使用化學機械研磨(CMP)法，不會產生碟型效應(Dish Effect)，導致間隔氧化矽層 116 的表面仍然為凹陷 114b 的現象。最後參閱第 3 圖，去除氮化矽層 104，留下凹陷外型之間隔氧化矽層 116。

然而具有凹陷 114b 表面的間隔氧化矽層 116 會對後續製程造成不利的影響，例如：(1) 間隔氧化矽層 116 的有效高度 118 不足，尤其是進行後續之離子植入製程時，將使間隔氧化矽層 116 阻擋離子衝擊的能力減弱，以致於無法保護位於其下之埋入位元線(Buried Bit Line)(未標示)；(2) 間隔氧化矽層 116 的尖端部份 120 會使後續沈積的薄膜產生斷裂；(3) 當氮化矽層 104 去除之後，多晶矽層 102 與間隔氧化矽層 116 的階梯高度差(Step Height)過大，故必須提高過度蝕刻(Over Etch)的量，但卻反而造成後續製程之蝕刻裕度不足的現象。

### 5-3 發明目的及概述：

鑑於上述發明背景中所述，傳統快閃記憶體晶胞的電性絕緣層之製造方法中，組成電性絕緣層之間隔氧化矽層的有效高度不足，且間隔氧化矽層的頂端表面外型不佳，

因此，本發明主要目的為利用沈積介電層以及形成平坦化材質，並調整蝕刻介電層及平坦化材質之蝕利率，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

形成平滑圓頂及斜角側邊之間隔氧化矽層，以避免對後續製程有重大的影響。

另一目的為提高間隔介電層的有效高度，以有效阻擋離子植入對位元線電性的影響，同時維持適當的過蝕刻量。

根據上述目的，本發明提出一種電性絕緣層的製造方法，該方法至少包含下列步驟：首先提供一半導體基材，其上設有複數個閘極堆疊，且該等閘極堆疊具有導電層、單幕層以及覆蓋層。而閘極堆疊間設有間隔，並設一介電層以覆蓋該等閘極堆疊與填滿間隔，且介電層高於覆蓋層。

隨後進行一蝕刻步驟，蝕刻介電層以完全清除覆蓋層上之介電層，同時在間隔內形成間隔介電層。接著進行另一蝕刻步驟，移除覆蓋層且介電層的蝕利率小於單幕層的蝕利率，使得間隔介電層具有平滑頂端與斜角側邊，以避免沈積薄膜時產生應力集中的效應。最後移除單幕層並留下間隔介電層，以形成電性絕緣層。

### 5-4 圖式簡單說明：

第1圖至第3圖繪示傳統電性絕緣層製造方法之流程剖面圖；以及

第4圖至第9圖繪示依據本發明一種快閃記憶體位元線上之電性絕緣層的製造方法之流程剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明( )

5-5 圖號對照說明：

100	半導體基材	102	多晶矽層
104	氮化矽層	106	覆蓋層
108	閘極堆疊	110	間隔
112	氮化矽層	114a	凹陷
114b	凹陷	116	間隔氮化矽層
118	有效高度	120	尖端部份
200	半導體基材	202	導電層
204	罩幕層	206	覆蓋層
208	閘極堆疊	210	間隔
212	介電層	212a	部份的介電層
214	平坦化材質層	214a	高表面
214b	低表面	216	間隔介電層
218	平滑圓頂	220	斜角側邊
222	有效高度		

5-6 發明詳細說明：

本發明針對傳統絕緣區域之缺點提供完整的解決方案。茲以圖式輔助說明，詳述本發明之快閃記憶體位元線上之電性絕緣層的製造方法。

首先請參閱第4圖，在半導體基材200之間極區域(未標示)上依序形成導電層202、罩幕層204以及覆蓋層206，其中導電層202例如可為多晶矽(Polysilicon)層，導電層202的厚度例如可約為700至1000埃。罩幕層204

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( )

例如可為氮化矽層，覆蓋層 206 例如可為由氮氧化矽層 ( $\text{SiO}_x\text{N}_y$ ) 與氮化矽層所組成之複合層。然後進行微影蝕刻步驟以形成多個閘極堆疊 208，而閘極堆疊 208 之間為間隔 210。

請繼續參閱第 4 圖，在半導體基材 200 之上形成介電層 212，將閘極堆疊 208 覆蓋以及將間隔 210 填滿，且介電層 212 之表面高於覆蓋層 206 之表面。接著在介電層 212 上形成平坦化材質層 214，以產生平坦化表面。在本發明之較佳實施例中，介電層 212 的形成方法可利用高密度電漿化學氣相沈積法 (HDPCVD)，而其材質例如可為氧化矽，而平坦化材質層 214 的材質例如可為有機材質，其形成方法例如可先讓有機材質溶解或溶於溶劑中，再使用旋塗法 (Spin-on) 來形成之，因此可利用液態填補的方式並藉由液體之表面張力的作用，使得有機材料可以均勻地分布於介電層 212 上。

接著對平坦化材質層 214 以及介電層 212 進行第一蝕刻步驟，以完全移除平坦化材質層 214，第一蝕刻步驟對平坦化材質層 214 的蝕速率小於對介電層 212 的蝕速率。第 5 圖為第一蝕刻步驟之中間過渡狀態的剖面圖。在本發明較佳實施例中，可利用乾蝕刻 (Dry Etching) 法進行蝕刻，且介電層 212 與平坦化材質層 214 的蝕速率比值較佳為介於 1 至 10 之間，更佳之蝕速率比值為介於 3 至 10 之間，若平坦化材質層 214 為有機材料且介電層 212 為氧化矽時，則第一蝕刻步驟可利用以  $\text{CHF}_3$ 、 $\text{CF}_4$ 、 $\text{O}_2$  及  $\text{N}_2$  混

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( )

合氣體來產生蝕刻電漿之乾蝕刻法，以完全移除平坦化材質層 214，並蝕刻部份介電層 212。

參閱第 6 圖，其係繪示當平坦化材質層 214 完全被移除後，部份介電層 212a 殘留於覆蓋層 206 上表面之結構剖面圖。在較佳實施例中，當完全移除平坦化材質層 214 之後，仍有部份的介電層 212a 殘留在覆蓋層 206 上。而且由於第一蝕刻步驟對平坦化材質層 214 的蝕刻率小於對介電層 212 的蝕刻率，所以被平坦化材質層 214 覆蓋之介電層之高表面 214a 高度會較高，而沒有被平坦化材質層 214 覆蓋之介電層之低表面 214b 之高度會較低。

參閱第 7 圖，接著繼續對介電層 212 進行第二蝕刻步驟，第二蝕刻步驟對介電層 212 的蝕刻率大於對覆蓋層 206 的蝕刻率，以完全移除位於覆蓋層 206 上方之介電層 212，同時於在間隔 210 中留下間隔介電層 216。在本發明較佳實施例中，利用乾蝕刻法進行蝕刻，且介電層 212 與覆蓋層 206 的較佳蝕刻率比值介於 1 至 10 之間，更佳之蝕刻率比值則介於 1.1 至 4.0 之間，而且乾蝕刻法使用  $\text{CHF}_3$ 、 $\text{CF}_4$  及 Ar 混合氣體，用以蝕刻位於覆蓋層 206 上方之介電層 212。

參閱第 8 圖，進行第三蝕刻步驟以移除覆蓋層 206。第三蝕刻步驟對介電層 212 的蝕刻率小於對罩幕層 204 的蝕刻率，以使間隔介電層 216 具有平滑圓頂 218 以及斜角側邊 220。在本發明較佳實施例中，利用乾蝕刻法進行蝕刻，且介電層 212 與罩幕層 204 的蝕刻率比值較佳為大於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( )

0 且小於 1，更佳之蝕利率比值為介於 0.1 至 0.5 之間，而此蝕刻法係使用  $\text{CH}_3\text{F}$ 、 $\text{O}_2$ 、 $\text{Ar}$  之混合氣體，用以蝕刻位於罩幕層 204 上之覆蓋層 206。

間隔介電層 212 之平滑圓頂 218 可使後續所沈積之薄膜不會發生應力集中的效應，而且其斜角側邊 220 可避免後續所沈積的薄膜產生斷裂。更重要的是間隔介電層 216 的有效高度 222 較習知為大，足以抵擋後續離子植入製程時大量離子束的撞擊，以保護位於其下之埋入位元線的摻雜濃度不受影響，同時間隔介電層 216 的斜角側邊 220 會降低間隔介電層 216 與導電層 202 的階梯高度差，更可獲得所需的間隔介電層 216 之有效高度 222，故於後續沈積薄膜後欲進行蝕刻時不須提高過度蝕刻的量。

參閱第 9 圖，移除罩幕層 204 並留下間隔介電層 216。若罩幕層 204 的材質為氮化矽時，可以熱磷酸 ( $\text{H}_3\text{PO}_4$ ) 來移除之。

綜上所述，快閃記憶體位元線上之電性絕緣層的製造方法，至少具有下列優點：

(1) 對平坦化的材質層 214 進行回蝕製程或化學機械研磨製程中，將習知具有凹陷表面的間隔氧化矽層改善為具有平滑圓頂 218 以及斜角側邊 220 之間隔介電層 216。

(2) 上述之優點使得間隔介電層 216 與導電層 202 的高度差值，不會因為間隔介電層 216 之有效高度 222 的需求而變大，故於後續沈積薄膜時不須提高過度蝕刻的量。

本發明已揭示較佳實施例如上，僅用於幫助瞭解本發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

明之實施，非用以限定本發明之精神，而熟悉此領域技藝者於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及等同之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種電性絕緣層的製造方法，該製造方法至少包含下列步驟：

提供一半導體基材，該半導體基材上設有複數個閘極堆疊，而各個閘極堆疊設有一導電層、一單幕層以及一覆蓋層；

形成一介電層以覆蓋該等閘極堆疊，並填滿該等間隔，且該介電層高於該覆蓋層；

形成一平坦化材質層於該介電層上，以產生平坦化表面；

進行一第一蝕刻步驟，蝕刻該介電層以完全清除該覆蓋層上之該介電層，同時於該等間隔上形成一間隔介電層；

進行一第二蝕刻步驟，移除該覆蓋層且該介電層的蝕利率小於該單幕層的蝕利率，使得該間隔介電層具有平滑頂端與斜角側邊，以避免沈積薄膜時產生應力集中的效應；以及

移除該單幕層並留下間隔介電層，以形成該電性絕緣層。

2. 如申請專利範圍第1項所述之電性絕緣層的製造方法，其中該導電層為一多晶矽層。

3. 如申請專利範圍第1項所述之電性絕緣層的製造方法，其中該等閘極堆疊間設有一間隔。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

4. 如申請專利範圍第 1 項所述之電性絕緣層的製造方法，  
其中該介電層為一氧化矽層。
5. 如申請專利範圍第 4 項所述之電性絕緣層的製造方法，  
係利用高密度電漿蝕刻(HDPCVD)法形成該氧化矽層。
6. 如申請專利範圍第 1 項所述之電性絕緣層的製造方法，  
其中該平坦化材質層為一有機材質。
7. 如申請專利範圍第 6 項所述之電性絕緣層的製造方法，  
係利用旋塗(Spin-on)法形成該有機材質。
8. 如申請專利範圍第 1 項所述之電性絕緣層的製造方法，  
更包含一蝕刻處理於形成該平坦化材質層步驟之後，以  
蝕刻該平坦化材質層與該介電層，以完全移除該平坦化  
材質層，其中該蝕刻處理對該平坦化材質層的蝕刻率小  
於對該介電層的蝕刻率。
9. 如申請專利範圍第 8 項所述之電性絕緣層的製造方法，  
其中該蝕刻處理步驟中，該介電層的蝕刻率與該平坦化  
材質層的蝕刻率比值介於 1 至 10 之間。
10. 如申請專利範圍第 1 項所述之電性絕緣層的製造方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

法，其中該第一蝕刻步驟，該介電層的蝕利率大於該覆蓋層的蝕利率。

11. 如申請專利範圍第 10 項所述之電性絕緣層的製造方法，其中該介電層的蝕利率與該覆蓋層的蝕利率比值介於 1 至 10 之間。

12. 如申請專利範圍第 1 項所述之電性絕緣層的製造方法，其中該第二蝕刻步驟中，該介電層的蝕利率與該罩幕層的蝕利率比值為大於 0 且小於 1。

13. 一種電性絕緣層的製造方法，該製造方法至少包含下列步驟：

依序形成複數個閘極堆疊於半導體基材之閘極區域上，其中每一該等閘極堆疊具有一導電層、一罩幕層以及一覆蓋層，並對該等閘極堆疊進行微影蝕刻，以形成複數個間隔；

形成一介電層於該半導體基材上，以覆蓋該等閘極堆疊與填滿該等間隔，且該介電層高於該覆蓋層；

形成一平坦化材質層於該介電層上，以產生平坦化表面；

蝕刻該平坦化材質層與該介電層，以完全移除該平坦化材質層，其中該蝕刻步驟對該平坦化材質層的蝕利率小於對該介電層的蝕利率，同時於該等間隔上形成一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

間隔介電層：

移除該覆蓋層，且該介電層的蝕刻至小於該罩幕層的蝕利率，使得該間隔介電層具有平滑頂端與斜角側邊，以避免沈積薄膜時產生應力集中的改進；以及

移除該罩幕層並留下間隔介電層，以形成該電性絕緣層。

14. 如申請專利範圍第 13 項所述之電性絕緣層的製造方法，其中該導電層為一多晶矽層，

15. 如申請專利範圍第 13 項所述之電性絕緣層的製造方法，其中該介電層為一氧化矽層，

16. 如申請專利範圍第 15 項所述之電性絕緣層的製造方法，係利用高密度電漿蝕刻(HDPCVD)法形成該氧化矽層。

17. 如申請專利範圍第 13 項所述之電性絕緣層的製造方法，其中該平坦化材質層為一有機材質。

18. 如申請專利範圍第 17 項所述之電性絕緣層的製造方法，係利用旋塗(Spin-on)法形成該有機材質。

19. 如申請專利範圍第 13 項所述之電性絕緣層的製造方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

法，其中蝕刻該平坦化材質層與該介電層步驟中，該介電層的蝕利率與該平坦化材質層的蝕利率比值介於 1 至 10 之間。

20. 如申請專利範圍第 13 項所述之電性絕緣層的製造方法，於蝕刻該平坦化材質層與該介電層步驟之後，更包含蝕刻移除該覆蓋層上之該介電層。

21. 如申請專利範圍第 20 項所述之電性絕緣層的製造方法，其中對該介電層的蝕利率大於對該覆蓋層的蝕利率。

22. 如申請專利範圍第 21 項所述之電性絕緣層的製造方法，其該介電層的蝕利率與該覆蓋層的蝕利率比值介於 1 至 10 之間。

23. 如申請專利範圍第 13 項所述之電性絕緣層的製造方法，其中移除該罩幕層步驟中，該介電層的蝕利率與該罩幕層的蝕利率比值為大於 0 且小於 1。

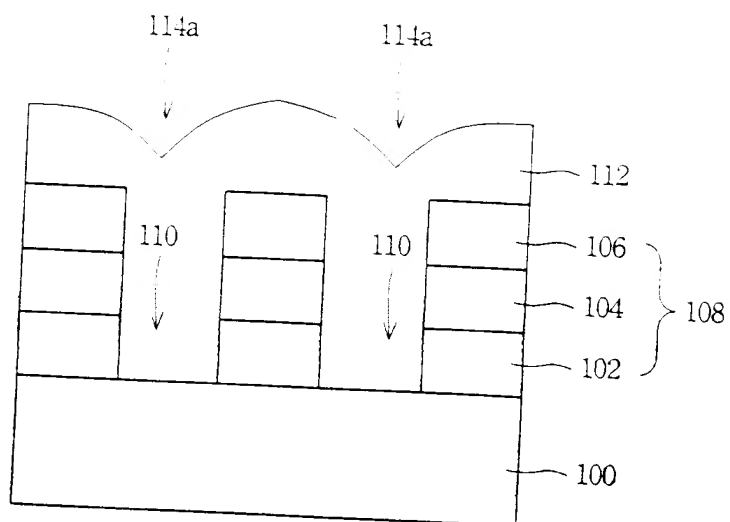
(請先閱讀背面之注意事項再填寫本頁)

裝

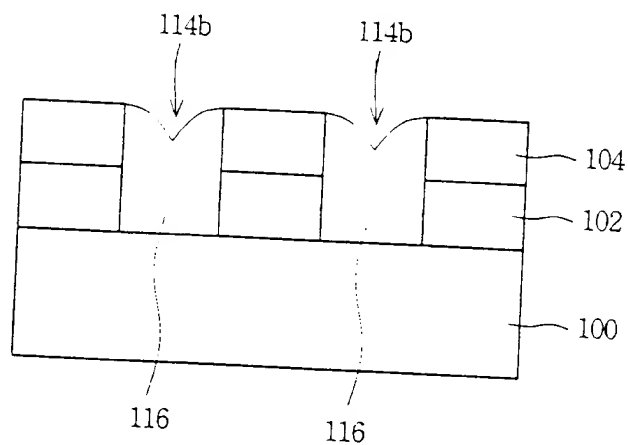
訂

線

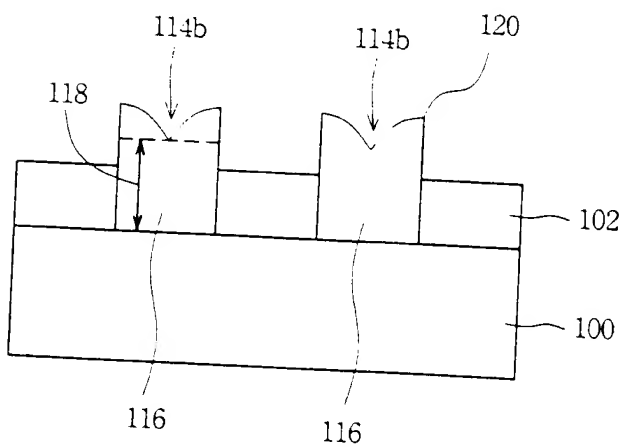
第 1 圖



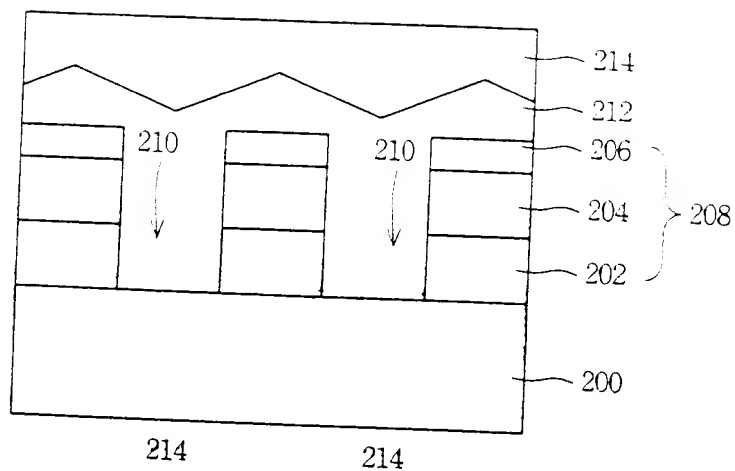
第 2 圖



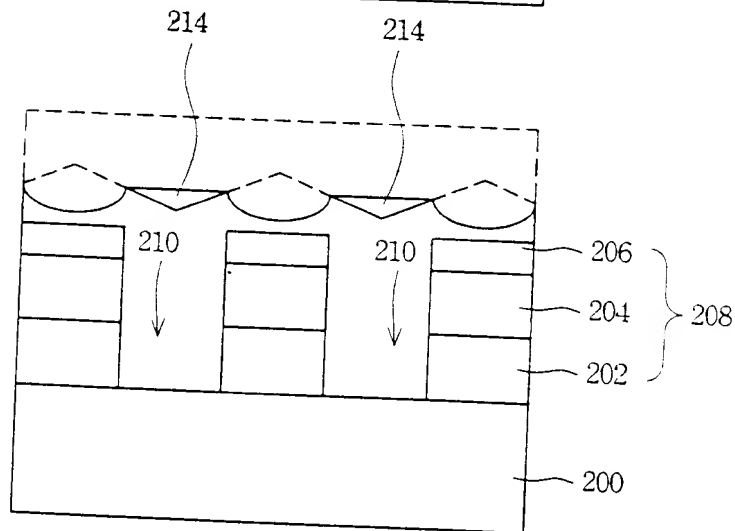
第 3 圖



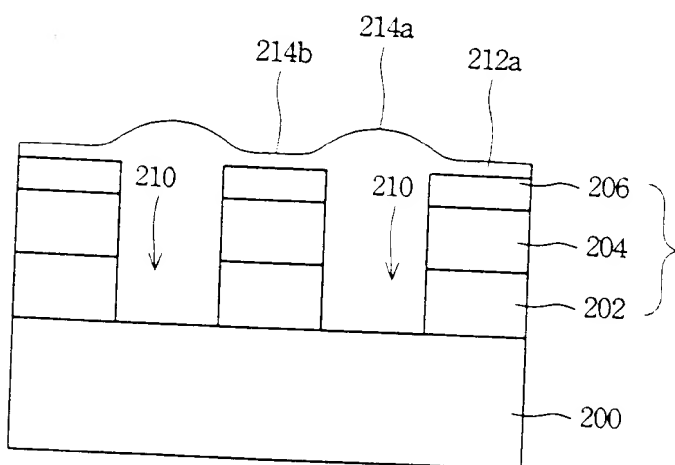
第 4 圖



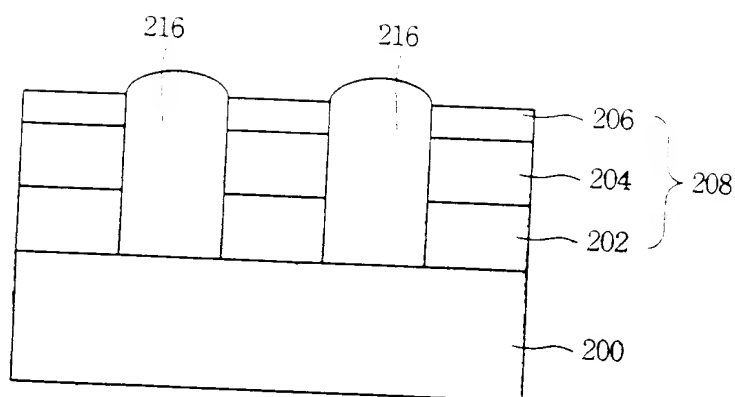
第 5 圖



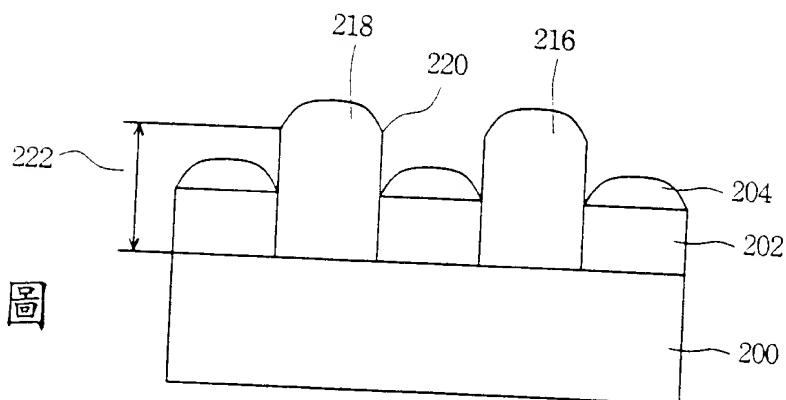
第 6 圖



第 7 圖



第 8 圖



第 9 圖

